

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020087268 A
 (43)Date of publication of application: 22.11.2002

(21)Application number: 1020010026370
 (22)Date of filing: 15.05.2001

(71)Applicant: HYNIX SEMICONDUCTOR INC.
 (72)Inventor: CHOI, JUN GI

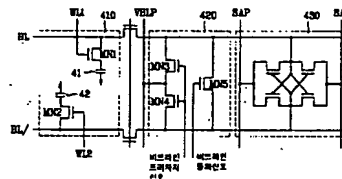
(51)Int. Cl. G11C 7/12

(54) BIT LINE PRECHARGE CIRCUIT

(57) Abstract:

PURPOSE: A bit line precharge circuit is provided, which can reduce current consumption in a self-refresh mode by precharging a bit line/bit bar line after equalizing them.

CONSTITUTION: According to a semiconductor memory device having a memory cell, a pair of bit lines(BL,/BL) connected to the memory cell and a sense amp amplifying data loaded on the bit line, the bit line precharge circuit comprises a level control part(420) including an equalization unit(MN5) and the first and the second precharge unit(MN3,MN4). The equalization unit is connected between the pair of bit lines and equalizes the pair of bit lines in response to an input of a bit line equalization signal. The first and the second precharge unit have channels connected in serial between the pair of bit lines and transmit a bit line precharge voltage(VBLP) to the bit lines in response to the input of the bit line precharge signal.



COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20030728)

Patent registration number (1003967040000)

Date of registration (20030821)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G11C 7/12

(11) 공개번호 특2002-0087268
(43) 공개일자 2002년11월22일

(21) 출원번호 10-2001-0026370
(22) 출원일자 2001년05월15일
(71) 출원인 주식회사 하이닉스반도체
(72) 발명자 경기 이천시 부발읍 아미리 산136-1
최준기
(74) 대리인 서울특별시강남구포이동249-3301호
강용복, 김용인

심사청구 : 있음

(54) 비트라인 프리차지 회로

요약

본 발명은 셀프-리프레쉬 동작 시 전력 소모를 줄이는데 적당한 비트라인 프리차지 회로에 관한 것으로, 메모리 셀과, 상기 메모리 셀에 연결된 한 쌍의 비트라인과, 상기 비트라인에 실리는 데이터를 증폭하는 센스 앰프를 갖는 반도체 메모리 장치에 있어서, 상기 한 쌍의 비트라인 사이에 연결되어 비트라인 동화 신호의 입력에 응답하여 상기 한 쌍의 비트라인을 동화시키는 동화수단과, 상기 한 쌍의 비트라인 사이에 채널이 직렬 연결되고 비트라인 프리차지 신호의 입력에 응답하여 비트라인 프리차지 전압을 상기 비트라인으로 전송하는 제 1 및 제 2 프리차지 수단을 포함하여 구성된 레벨조정부를 구비함을 특징으로 한다.

도표

도3

색인어

셀프-리프레쉬

명세서

도면의 간단한 설명

도 1은 종래의 비트라인 프리차지 제어회로의 블록도
도 2는 종래의 비트라인 프리차지 회로를 설명하기 위한 회로도
도 3은 본 발명에 의한 비트라인 프리차지 제어회로의 블록도
도 4는 본 발명의 제 1 실시예에 의한 비트라인 프리차지 회로를 설명하기 위한 회로도
도 5는 본 발명에 의한 비트라인 프리차지 회로의 동작 파형도
도 6은 본 발명의 제 2 실시예에 의한 비트라인 프리차지 회로를 설명하기 위한 회로도
도면의 주요 부분에 대한 부호의 설명

31 : 제 1 지연부 32 : 프리차지 신호 발생부
33 : 비트라인 동화신호 발생부 34 : 제 2 지연부
35 : 비트라인 프리차지 신호 발생부 41,61 : 제 1 캐패시터
42,62 : 제 2 캐패시터 410,610 : 메모리 셀
420,620 : 레벨조정부 430,630 : 센스 앰프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비트라인 프리차지 회로에 관한 것으로 특히, 셀프-리프레쉬 동작 시 전력 소모를 줄이는데 적

당한 비트라인 프리차지 회로에 관한 것이다.

현재 디램의 단위 메모리 셀은 기본적으로 스위치 역할을 하는 트랜지스터 하나와 데이터를 저장하는 캐패시터 하나로 구성되어 있다.

데이터의 저장은 캐패시터에 전하가 축적되어 있는 것이므로 원리적으로는 전력의 소비가 없다.

그러나 캐패시터가 완벽하지 않기 때문에 저장된 전하는 누설전류에 의해 외부로 소멸되므로 데이터가 소실된다.

따라서, 데이터를 잃어버리기 전에 다시 초기의 전하량으로 재충전 해주어야 하며 이 동작을 주기적으로 반복해야만 데이터의 기억이 유지된다.

이러한 셀 전하의 재충전 과정을 리프레쉬(Refresh) 동작이라 부른다.

상기 리프레쉬 동작은 보통 외부로부터 로우 어드레스(row address)를 인가받아 해당하는 워드라인을 온시킨 후 센스 증폭기를 활성화함으로써 이루어진다.

그러나, 저전력소모 등의 목적을 위해 외부로부터 제어신호 없이도 내부적으로 리프레쉬 요구신호 및 제어신호들이 발생되고 내부에서 생성된 어드레스에 의해 리프레쉬 동작이 실행된다.

이를 셀프-리프레쉬(Self-Refresh) 동작이라고 한다.

현재 디램의 세가지 모드인 정상 모드(Normal mode), 자동-리프레쉬 모드(Auto-refresh mode), 셀프-리프레쉬 모드(Self-refresh mode) 모두 워드라인에 연결되어 있는 특정 셀을 선택하여 그 셀에 들어있는 전하에 의해 발생하는 전위차에 의해 비트라인 쌍은 각각 하이 또는 로우로 증폭된다.

그리고, 정상 모드에서는 1/0로 출력되고, 리프레쉬 모드에서는 그 해당 셀에 한 번 더 동일한 데이터의 쓰기를 실시한다.

그 후, 비트라인 쌍은 프리차지 타임(tRP)에 부합하기 위해 급속히 프리차지하게 된다.

셀프-리프레쉬 모드에서는 외부로부터 제어신호를 로우로 하여 클럭(Clock) 및 모든 입력 버퍼들을 오프(Off)시키고, 15.6 μ s 주기에 따라 한 번씩 리프레쉬 동작을 하게 된다.

또한, 정상 모드나 자동-리프레쉬 모드에서처럼 리프레쉬 동작 사이인 15.6 μ s 동안에 수행하는 쓰기/읽기 동작을 셀프-리프레쉬 모드에서는 하지 않는다.

따라서, 셀프-리프레쉬 모드에서는 프리차지 타임(tRP)의 의미가 없어지며, 상기 프리차지 타임(tRP)가 길더라도 주기의 15.6 μ s 안에만 정해진 셀들을 리프레쉬하게 된다.

이와 같이, 종래의 비트라인 프리차지 회로는 정상 모드나 자동-리프레쉬 모드와 동일한 방식으로 셀프-리프레쉬를 행하고 있으므로 이에 대한 전력 소모가 발생한다.

이하, 종래 기술에 따른 비트라인 프리차지 회로를 첨부된 도면을 참조하여 설명하기로 한다.

도 1은 종래의 비트라인 프리차지 제어회로의 동작을 설명하기 위한 블록도이다.

도 1에 도시한 바와 같이, 정상 모드나 자동-리프레쉬 모드와 마찬가지로 셀프-리프레쉬 모드에 의해 액트 신호가 온이 되면 소정의 시간 즉, 셀의 전하가 비트라인에 전달될 수 있는 시간을 지연시킨 후 프리차지 신호 발생부(1)는 프리차지 신호를 인에이블(enable)시킨다.

상기 프리차지 신호를 받은 비트라인 등화신호 발생부(2)는 비트라인 등화신호를 인에이블시킨다.

도 2는 종래의 비트라인 프리차지 회로를 설명하기 위한 회로도이다.

도 2에 도시한 바와 같이, 종래의 비트라인 프리차지 회로는 게이트에 제 1 워드라인(WL1)이 인가되고 소오스에 제 1 캐패시터(21)가 인가되는 제 1 NMOS 트랜지스터(MN1) 그리고 게이트에 제 2 워드라인(WL2)이 인가되고 소오스에 제 2 캐패시터(22)가 인가되는 제 2 NMOS 트랜지스터(MN2)로 구성된 메모리 셀(210)과 연결되고, 상기 제 1, 2 NMOS 트랜지스터(MN1)(MN2) 각각의 드레인에 인가되는 비트라인(BL) 및 비트바라인(BL/)과 연결되며, 제 1, 2 구동 제어신호(SAP)(SAN)가 인가되는 센스 앰프(230)와 연결되고, 게이트에 공통으로 비트라인 등화신호가 입력되고 각각의 소오스에 비트라인/비트바라인(BL)(BL/)이 연결되고 드레인에는 비트라인 프리차지 전압(VBLP)이 인가되는 제 3, 4 NMOS 트랜지스터(MN3)(MN4) 그리고 게이트에 비트라인 등화신호가 입력되고 소오스 및 드레인에 비트라인(BL) 및 비트바라인(BL/)이 각각 연결되는 제 5 NMOS 트랜지스터(MN5)로 구성되는 레벨조정부(220)를 포함한다.

이와 같은 종래 기술의 비트라인 프리차지 회로의 동작은 다음과 같다.

비트라인 등화신호는 프리차지 수단인 제 3, 4 NMOS 트랜지스터(MN3)(MN4) 및 이퀄라이저 수단인 제 5 NMOS 트랜지스터(MN5)를 동시에 제어한다.

즉, 비트라인 등화신호가 인에이블 되면 비트라인(BL) 및 비트바라인(BL/)의 풀 레벨(Full Level)인 Vcc 및 0을 등화시키면서 동시에 제 3, 4 NMOS 트랜지스터(MN3)(MN4)가 비트라인(BL) 및 비트바라인(BL/)을 비트라인 프리차지 전압(VBLP) 레벨로 프리차지하게 된다.

그러나, 상기 제 5 NMOS 트랜지스터(MN5)가 비트라인(BL) 및 비트바라인(BL/)을 완전히 등화시키기 전에 제 3, 4 NMOS 트랜지스터(MN3)(MN4)에 의해 비트라인 프리차지 전압(VBLP)쪽으로 흐르는 전류가 발생하여 전력이 소모된다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래의 비트라인 프리차지 회로는 다음과 같은 문제점이 있다.

셀프-리프레쉬 모드 시 정상 모드 및 자동-리프레쉬 모드와 같이 일정한 주기로 셀을 재충전하므로 리프레쉬 타임이 부족하다.

또한, 비트라인 등화신호에 의해서 비트라인/비트바라인의 등화 및 프리차지가 동시에 이루어짐으로 비트라인/비트바라인을 등화하는 동안 누설되는 전류가 발생한다.

본 발명은 이와 같은 종래 기술의 비트라인 프리차지 회로의 문제를 해결하기 위한 것으로, 비트라인/비트바라인을 등화시킨 후 프리차지 시킴으로써 셀프-리프레쉬 모드에서 전류의 소모를 줄일 수 있는 비트라인 프리차지 회로를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 따른 비트라인 프리차지 회로는 메모리 셀과, 상기 메모리 셀에 연결된 한 쌍의 비트라인과, 상기 비트라인에 실리는 데이터를 증폭하는 센스 앰프를 갖는 반도체 메모리 장치에 있어서, 상기 한 쌍의 비트라인 사이에 연결되어 비트라인 등화신호의 입력에 응답하여 상기 한 쌍의 비트라인을 등화시키는 등화수단과, 상기 한 쌍의 비트라인 사이에 채널이 직렬 연결되고 비트라인 프리차지 신호의 입력에 응답하여 비트라인 프리차지 전압을 상기 비트라인으로 전송하는 제 1 및 제 2 프리차지 수단을 포함하여 구성된 레벨조정부를 구비함을 특징으로 하고, 본 발명에 의한 다른 실시예의 비트라인 프리차지 회로는 메모리 셀과, 상기 메모리 셀에 연결된 한 쌍의 비트라인과, 상기 비트라인에 실리는 데이터를 증폭하는 센스 앰프를 갖는 반도체 메모리 장치에 있어서, 상기 한 쌍의 비트라인 사이에 연결되어 비트라인 등화신호의 입력에 응답하여 상기 한 쌍의 비트라인을 등화시키는 등화 수단과, 상기 한 쌍의 비트라인 사이에 채널이 직렬 연결되고 외부의 스위치 신호에 의해 비트라인 프리차지 전압을 상기 한 쌍의 비트라인으로 전송하는 제 1, 2 프리차지 수단을 포함하여 구성된 레벨조정부를 구비함을 특징으로 한다.

이하, 본 발명의 비트라인 프리차지 회로를 첨부된 도면을 참조하여 설명하기로 한다.

도 3은 본 발명에 의한 비트라인 프리차지 제어회로를 설명하기 위한 블록도이다.

도 3에 도시한 바와 같이, 셀프-리프레쉬 모드에 의해 액트 신호가 인에이블 되면 비트라인 등화신호 및 비트라인 프리차지 신호가 디스에이블(Disable) 되고, 제 1 지연부(31)가 제 1 지연시간 즉, 데이터가 셀에 재충전되는 시간인 tRAS가 길어지도록 지연시킨다.

그리고, 상기 제 1 지연부(31)의 지연된 출력신호에 의해 프리차지 신호 발생부(32)는 프리차지 신호를 인에이블(enable) 시킨다.

이어, 상기 프리차지 신호를 받은 비트라인 등화신호 발생부(33)는 비트라인 등화신호를 인에이블 시킨다.

그리고, 제 2 지연부(34)가 비트라인을 등화시키기 위해 제 2 지연시간을 지연시키고, 지연된 상기 비트라인 등화신호에 의해 비트라인 프리차지 신호 발생부(스위치 신호 발생부)(35)는 비트라인 프리차지 신호(스위치 신호)를 인에이블 시킨다.

도 4는 본 발명의 제 1 실시예에 의한 비트라인 프리차지 회로를 설명하기 위한 회로도이고, 도 5는 본 발명의 비트라인 프리차지 회로의 동작 파형도이다.

도 4에 도시한 바와 같이, 본 발명의 제 1 실시예에 의한 비트라인 프리차지 회로는 게이트에 제 1 워드라인(WL1)이 인가되고 소오스에 제 1 캐패시터(41)가 인가되는 제 1 NMOS 트랜지스터(MN1) 그리고 게이트에 제 2 워드라인(WL2)이 인가되고 소오스에 제 2 캐패시터(42)가 인가되는 제 2 NMOS 트랜지스터(MN2)로 구성되는 메모리 셀(410)과 연결되고, 상기 제 1, 2 NMOS 트랜지스터(MN1)(MN2)의 드레인이 각각 연결되는 비트라인/비트바라인(BL)(BL/)과 연결되며, 상기 비트라인/비트바라인(BL)(BL/)이 연결되고 제 1, 2 구동 제어신호(SAP)(SAN)가 인가되는 센스 앰프(430)와 연결되고, 상기 비트라인/비트바라인(BL)(BL/) 사이에 연결되어 비트라인 등화신호의 입력에 응답하여 상기 상기 비트라인/비트바라인(BL)(BL/)을 등화시키는 등화 수단(MN5)과, 상기 비트라인/비트바라인(BL)(BL/) 사이에 채널이 직렬 연결되고 비트라인 프리차지 신호의 입력에 응답하여 비트라인 프리차지 전압을 상기 상기 비트라인/비트바라인(BL)(BL/)으로 전송하는 제 1, 2 프리차지 수단(MN3)(MN4)을 포함하여 구성된 레벨조정부(420)를 포함한다.

여기서, 상기 등화 수단(MN5)은 게이트에 비트라인 등화신호가 인가되고 소오스에 비트라인(BL)이 연결되며 드레인에 비트바라인(BL/)이 연결되고, 상기 제 1, 2 프리차지 수단(MN3)(MN4)은 게이트에 공통으로 비트라인 프리차지 신호가 인가되고 각각의 소오스에 비트라인(BL) 및 비트바라인(BL/)이 연결되며 드레인은 비트라인 프리차지 전압(VBLP)이 공통으로 인가된다.

이와 같은 본 발명의 제 1 실시예에 의한 비트라인 프리차지 회로의 동작은 다음과 같다.

도 5에 도시한 바와 같이, 셀프-리프레쉬 모드에 의해 비트라인 등화신호가 인에이블 되면 등화수단(MN5)이 턴-온 되어 제 2 지연시간동안 비트라인(BL) 및 비트바라인(BL/)을 등화 시킨다.

이후, 제 2 지연시간이 경과한 후, 비트라인 프리차지 신호에 의해 제 1, 2 프리차지 수단(MN3)(MN4)이 턴-온 되어 비트라인(BL) 및 비트바라인(BL/)을 완전히 비트라인 프리차지 전압(VBLP)의 레벨로 프리차지 시킨다.

따라서, 상기 등화 수단(MN5)이 턴-온 되는 사이에 제 2 지연시간 동안 제 1, 2 프리차지 수단(MN3)(MN4)의 턴-오프 상태가 지연되어 비트라인 프리차지 전압(VBLP)으로 흐르는 전류를 막아 전력 손실을 줄일 수 있다.

그리고, 액트 신호와 프리차지 신호 사이의 지연시간인 제 1 지연시간을 증가시켜 셀의 전하를 비트라인에 정확히 전달할 수 있으므로 셀프-리프레쉬 모드에서의 리프레쉬 타임을 증가시킬 수 있다.

도 6는 본 발명의 제 2 실시예에 의한 비트라인 프리차지 회로를 설명하기 위한 회로도이다.

도 6에 도시한 바와 같이, 본 발명의 제 2 실시예에 의한 비트라인 프리차지회로는 메모리 셀(610)과, 상기 메모리 셀(610)에 연결된 비트라인/비트바라인(BL)(BL/)과, 상기 비트라인/비트바라인(BL)(BL/)에 실리는 데이터를 증폭하는 센스 앰프(630)와 연결되고, 상기 비트라인/비트바라인(BL)(BL/) 사이에 연결되어 비트라인 등화신호의 입력에 응답하여 상기 비트라인/비트바라인(BL)(BL/)을 등화시키는 등화 수단(MN5)과, 상기 비트라인/비트바라인(BL)(BL/) 사이에 채널이 직렬 연결되고 외부의 스위치 신호에 의해 비트라인 프리차지 전압을 상기 비트라인/비트바라인(BL)(BL/)으로 전송하는 제 1, 2 프리차지 수단(MN3)(MN4)을 포함하여 구성된 레벨조정부(620)를 포함한다.

여기서, 상기 등화 수단(MN5)은 게이트에 상기 비트라인/비트바라인(BL)(BL/)을 등화시키기 위해 비트라인 등화신호가 인가되고 소오스에 비트라인(BL)이 연결되며 드레인에 비트바라인(BL/)이 연결되고, 상기 제 1, 2 프리차지 수단(MN3)(MN4)은 게이트에 공통으로 비트라인 등화신호가 인가되고 각각의 소오스에 비트라인/비트바라인(BL)(BL/)이 연결되며, 드레인에는 스위치(MN6)에 의해 비트라인 프리차지 전압(VBLP)이 인가된다.

이와 같은 본 발명의 제 2 실시예에 의한 비트라인 프리차지 회로의 동작은 다음과 같다.

도 5에 도시한 바와 같이, 셀프-리프레쉬 모드에 의해 액트 신호가 인에이블 되면 제 1 지연부(41)가 제 1 지연시간 즉, 셀의 전하가 비트라인에 충분히 전달될 수 있는 시간을 지연시킨 후 프리차지 신호 발생부(32)가 프리차지 신호를 인에이블 시킨다.

이어, 상기 프리차지 신호가 인에이블 된 후 곧이어 스위치 신호를 디스에이블 시키고, 상기 프리차지 신호에 의해 비트라인 등화신호가 인에이블 된다.

그리고, 상기 비트라인 등화신호가 인에이블 되고 제 2 지연부(34)에 의한 제 2 지연시간 후 스위치 신호가 인에이블 된다.

여기서, 상기 비트라인 등화신호가 인에이블 되면 등화 수단(MN5)이 턴-온 되어 제 2 지연시간 동안 비트라인(BL)과 비트바라인(BL/)을 등화시킨다.

이때, 비트라인 프리차지 전압(VBLP)은 스위치(MN6)에 의해 턴-오프 되어 있는 상태이므로 제 1, 2 프리차지 수단(MN3)(MN4)을 통한 전류 감소는 발생하지 않는다.

그리고, 제 2 지연시간 후 스위치 신호가 하이가 되어 제 1, 2 프리차지 수단(MN3)(MN4)이 비트라인 프리차지 전압(VBLP)을 받아서 비트라인(BL) 및 비트바라인(BL/)을 상기 비트라인 프리차지 전압(VBLP) 레벨로 완전히 프리차지 시킨다.

발명의 효과

상기와 같은 본 발명의 비트라인 프리차지 회로는 다음과 같은 효과가 있다.

셀프-리프레쉬 모드에서 액트 신호를 인에이블 시킨 후 소정 시간 지연하여 프리차지 신호를 인에이블 함으로써, 셀의 전하를 비트라인에 전달하고 셀에 재충전하는 tRAS를 증가시켜 리프레쉬 타임을 증가시킬 수 있다.

또한, 비트라인/비트바라인을 등화시킨 후 프리차지함으로써 비트라인/비트바라인을 등화하는 동안에 발생하는 전력 소모를 줄일 수 있다.

(57) 청구의 범위

청구항 1

메모리 셀과, 상기 메모리 셀에 연결된 한 쌍의 비트라인과, 상기 비트라인에 실리는 데이터를 증폭하는 센스 앰프를 갖는 반도체 메모리 장치에 있어서,

상기 한 쌍의 비트라인 사이에 연결되어 비트라인 등화신호의 입력에 응답하여 상기 한 쌍의 비트라인을 등화시키는 등화수단과,

상기 한 쌍의 비트라인 사이에 채널이 직렬 연결되고 비트라인 프리차지신호의 입력에 응답하여 비트라인 프리차지 전압을 상기 비트라인으로 전송하는 제 1 및 제 2 프리차지 수단을 포함하여 구성된 레벨조정부를 구비함을 특징으로 하는 비트라인 프리차지 회로.

청구항 2

제 1 항에 있어서, 상기 등화 수단의 양쪽 전극에 비트라인 및 비트바라인이 연결되고 게이트에 비트라인 등화신호가 인가되는 것을 특징으로 하는 비트라인 프리차지 회로.

청구항 3

제 1 항에 있어서, 상기 제 1, 2 프리차지 수단의 게이트에 비트라인 프리차지 신호가 공통으로 인가되고 각각의 소오스에 비트라인 및 비트바라인이 연결되며 드레인에 비트라인 프리차지 전압이 공통으로 인가되는 것을 특징으로 하는 비트라인 프리차지 회로.

청구항 4

제 1 항에 있어서, 상기 비트라인 프리차지 신호는 셀프-리프레쉬 모드일 경우에 프리차지 제어회로에 의

해 비트라인 등화신호가 인에이블 되고 소정 시간 후에 인에이블 되는 것을 특징으로 하는 비트라인 프리차지 회로.

참구항 5

메모리 셀과, 상기 메모리 셀에 연결된 한 쌍의 비트라인과, 상기 비트라인에 실리는 데이터를 증폭하는 센스 앰프를 갖는 반도체 메모리 장치에 있어서,

상기 한 쌍의 비트라인 사이에 연결되어 비트라인 등화신호의 입력에 응답하여 상기 한 쌍의 비트라인을 등화시키는 등화 수단과,

상기 한 쌍의 비트라인 사이에 채널이 직렬 연결되고 외부의 스위치 신호에 의해 비트라인 프리차지 전압을 상기 한 쌍의 비트라인으로 전송하는 제 1, 2 프리차지 수단을 포함하여 구성된 레벨조정부를 구비함을 특징으로 하는 비트라인 프리차지 회로.

참구항 6

제 5 항에 있어서, 상기 등화 수단의 양쪽 전극에 비트라인 및 비트바라인이 연결되고 게이트에 비트라인 등화신호가 인가되는 것을 특징으로 하는 비트라인 프리차지 회로.

참구항 7

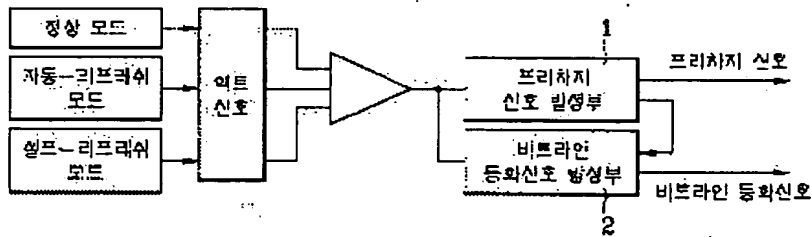
제 5 항에 있어서, 상기 제 1, 2 프리차지 수단의 게이트에 비트라인 등화신호가 공통으로 인가되고 각각의 소오스에 비트라인 및 비트바라인이 연결되며 드레인에는 스위치에 의해 제어되는 비트라인 프리차지 전압이 인가되는 것을 특징으로 하는 비트라인 프리차지 회로.

참구항 8

제 5 항에 있어서, 상기 스위치 신호는 셀프-리프레쉬 모드일 경우에 프리차지 제어회로에 의해 비트라인 등화신호가 인에이블 되고 소정 시간 후에 인에이블 되는 것을 특징으로 하는 비트라인 프리차지 회로.

도면

도면1



DE2

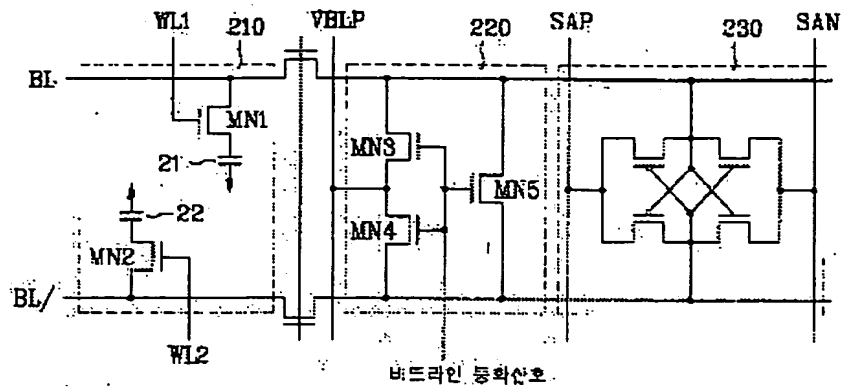


도표3

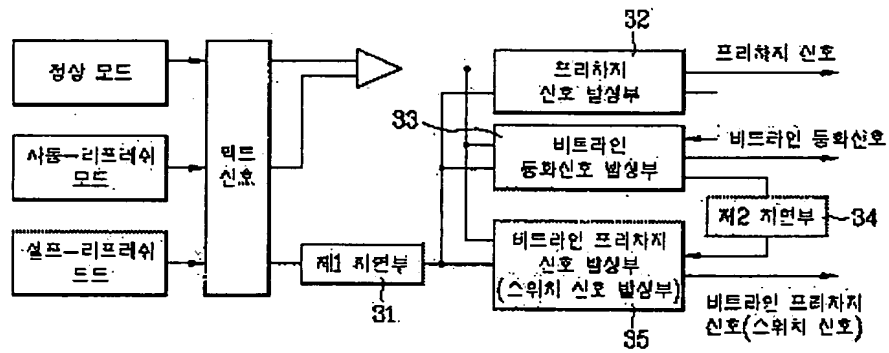
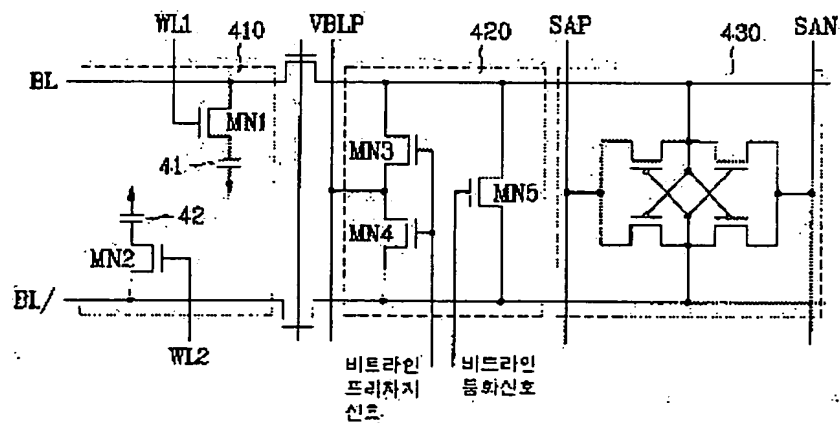
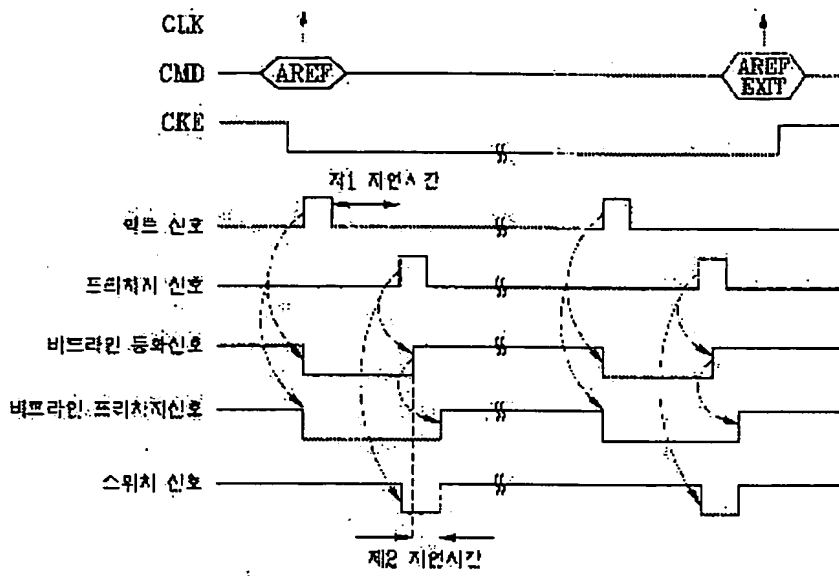


도표 4



도면5



도면6

